**课程设计报告**

课程名称： 信息与电子工程导论 任课老师： 章献民

课程设计名称： 基于三极管的4 bit加法器制作 完成日期： 2022.3.25-2022.4

第 6 小组

成员及分工：

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| 姓名 | 专业 | 学号 | 分工 | 贡献比 |
|  |  |  | 电路设计、电路优化、实物电路搭建、报告撰写 |  |
|  |  |  | 电路搭建、电路调试、报告撰写 |  |
|  |  |  |  |  |
|  |  |  |  |  |

目录

[1 目的和要求 1](#_Toc100694922)

[1.1 课程设计目的 1](#_Toc100694923)

[1.2 课程设计要求 1](#_Toc100694924)

[2 原理 1](#_Toc100694925)

[2.1 逻辑门 1](#_Toc100694926)

[2.1.1 与门（AND gate） 2](#_Toc100694927)

[2.1.2 或门（OR gate） 2](#_Toc100694928)

[2.1.3 非门（NOT gate） 2](#_Toc100694929)

[2.2 半加器 2](#_Toc100694930)

[2.3 全加器 2](#_Toc100694931)

[2.4 4bit加法器 2](#_Toc100694932)

[3 内容 2](#_Toc100694933)

[3.1 初版电路搭建 2](#_Toc100694934)

[3.2 初优化思路 2](#_Toc100694935)

[3.3 初版优化过程 2](#_Toc100694936)

[3.3.1 化简原电路逻辑表达式 2](#_Toc100694937)

[3.3.2 设计或非门 2](#_Toc100694938)

[3.3.3 优化与门 2](#_Toc100694939)

[3.3.4其他优化 2](#_Toc100694940)

[3.4 优化后的终版电路 2](#_Toc100694941)

[3.4.1 半加器 2](#_Toc100694942)

[3.4.2 全加器 2](#_Toc100694943)

[3.4.3 4bit加法器 2](#_Toc100694944)

[4 结果和分析 2](#_Toc100694945)

[4.1 仿真电路测试结果 2](#_Toc100694946)

[4.1.1改进前电路测试结果 2](#_Toc100694947)

[4.1.2改进后电路测试结果 2](#_Toc100694948)

[4.2 实物电路测试结果 2](#_Toc100694949)

[5 结论 2](#_Toc100694950)

[5.1 实验结论 2](#_Toc100694951)

[5.2 心得体会 2](#_Toc100694952)

# 1 目的和要求

## 1.1 课程设计目的

（1）利用面包板搭建一个4bit的加法器需要综合利用到Multisim电路仿真技术、电路模型和基本定律、数字逻辑和电路等知识，都是在本学期信息与电子工程导论中设计的知识。所以，通过这次课程设计，希望能够对本学期所学有一个回顾与夯实，同时为将来学习模电数电以及更多信电相关知识打下理论基础与实践基础。

（2）搭建一个4bit的加法器，在电路上需要经过逻辑门-半加器-全加器-4bit加法器的过程，在实际操作过程中，则需要经过Multisim电路仿真-搭建电路-调试与测试的过程。所以在这次课程设计中，能够充分体验搭建一个电路的实际过程，增强规划、实践、分析的综合能力。

（3）在小组合作共同搭建电路的过程中，学会如何合作，通过每个组员工作之间的串联与并联，能够达到1+1>2的理想效果。

## 1.2 课程设计要求

**基本任务：**

1. 首先对本学期所学的基于Multisim的电路仿真技术、数字逻辑和电路这两块知识进行重点回顾与深入研究，搭建一个4bit加法器无疑需要对这两章节具有比较理想的掌握，同时做相应的延伸学习。
2. 了解学习一个4bit加法器的搭建过程，观看课件中相应视频，在对整个过程有大致了解后，细化到从逻辑门-半加器-全加器-4bit加法器每一步的电路仿真与搭建。深入分析完成每一步的逻辑关系，阐明电路工作原理。

**延伸学习：**

1. 在能够顺利搭建出一个4bit加法器电路后，探究优化方法，希望能够在功能运行正常的情况下，利用更少的元器件，搭建出更为简洁明了的电路。
2. 创造性思维。积极思考更多不同于原先电路的方案，拓展思路，从而夯实所学，能够对电路的设计做到一定的创新。勇于提出草案并通过实践证明、进一步优化与验证来完成创新方案。

# 2 原理

## 2.1 逻辑门

一个4bit的加法器，当回归到其最底层的构造时，便是逻辑门，所以，原理从逻辑门开始讲起。

逻辑门使代表信号的高低电平通过他们之后来产生代表“真”“假”的信号或者二进制中的“1”和“0”，从而实现逻辑运算.

最基本的逻辑门是以下三种：与门，非门，或门。

### 2.1.1 与门（AND gate）

当输入端（大于等于两个）的信号同时为高电平时，输出高电平（逻辑1），否则就输出低电平（逻辑0）。在电路中，当且仅当两个输入都为高电平时，输出高电平。

***Y = AB***

|  |  |  |
| --- | --- | --- |
| 图 1 与门符号 | 截屏2022-04-02 上午9.47.04  图 2 与门真值表 | 截屏2022-04-02 上午10.17.26  图 3 与门电路 |

### 2.1.2 或门（OR gate）

当输入端中有一个为高电平时（逻辑1），输出端便输出高电平（逻辑1），当全部为低电平时（逻辑0）；输出低电平（逻辑0）。

在电路中，只要有一个输入为高电平时，电路即可输出高电平。

***Y=A+B***

|  |  |  |
| --- | --- | --- |
| 图 4 或门符号 | 截屏2022-04-02 上午9.50.31  图 5 或门真值表 | 图 6 或门电路 |

### 2.1.3 非门（NOT gate）

非门，又称反相器。具有一个输入端和一个输出端，当其输入端为高电平时（逻辑1），输出端为低电平（逻辑0）。反之则输出高电平（0）。在电路中，输入高电平时，电流走向GND，输出为低电平，反之则输出5V的高电平。

***Y=A'***

|  |  |  |
| --- | --- | --- |
| 图 7 非门符号 | 截屏2022-04-02 上午9.53.42  图 8 非门真值表 | 截屏2022-04-02 上午10.27.32  图 9 非门电路 |

以这三个简单逻辑门为基础，能够组成更多复杂的逻辑门，例如与非门、或非门等，进一步的逻辑门的构件组成与工作原理会在下一节半加器的介绍中详细展开。

## 2.2 半加器

在弄清楚三种逻辑门的工作原理之后，我们就可以开始搭建半加器。

一个半加器，具有两个输入，分别代表两个作为加数二进制数1或0。具有两个输出，代表和以及是否进位，例如输入两个1，在二进制的计算中，0001+0001=0010，所以，一个输出为0，代表和，另一个输出为1，代表进位。

|  |  |  |  |
| --- | --- | --- | --- |
| 输入A | 输入B | 输出S（和） | 输出（是否进位） |
| 0 | 0 | 0 | 0 |
| 1 | 0 | 1 | 0 |
| 0 | 1 | 1 | 0 |
| 1 | 1 | 0 | 1 |

得到符号电路如图10。

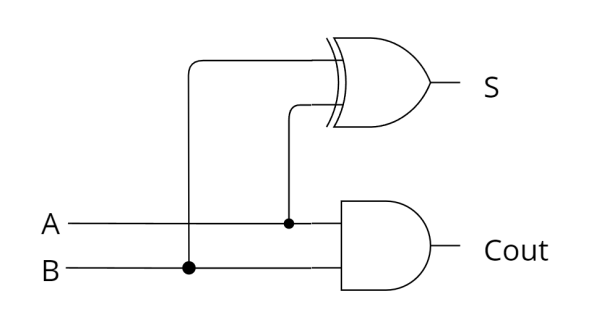


图 10 半加器符号电路

于是我们可以看到，输出S为两个输入A和B经过异或运算后的结果。在这里，便要阐述一下异或门的工作原理与元件构成。

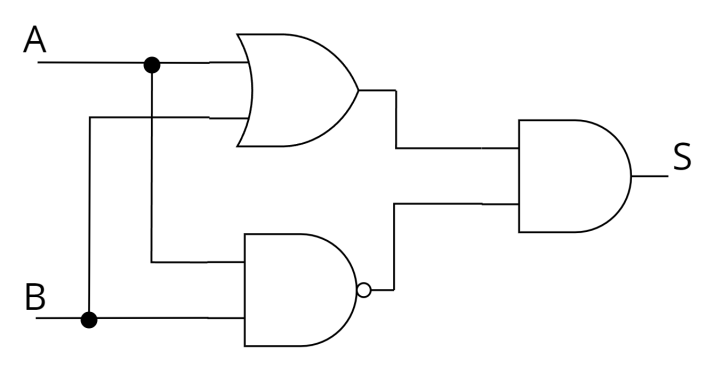


图 11 异或门内部电路

当两个输入A和B为不同时（一个为高电平，一个为低电平或者相反），异或门输出高电平，反之则输出低电平。而根据异或门的逻辑表达式，我们需要完成的逻辑是，先将一个输入A进行非运算，再与B进行与运算，同时，对输入B进行非运算，再与A进行与运算，对上述两个结果进行或运算。所以，我们只需要将非门、与门与或门进行适当的组合连接，就能完成一个异或门的搭建。

输出则是两个输入的A和B的与运算的结果，与逻辑门在第一节中提到，不再赘述。

## 2.3 全加器

全加器将两个二进制数相加，并根据接收到的低位进位信号输出三者之和与进位。全加器的三个输入信号为两个加数信号和低位的进位信号，全加器的输出与半加器类似，包括向高位的进位信号以及本位的和信号。

对于一位全加器有如下真值表：

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| 输入 | | | 输出 | |
| A | B | 进位输入 | 进位输出 | 加和输出 |
| 0 | 0 | 0 | 0 | 0 |
| 1 | 0 | 0 | 0 | 1 |
| 0 | 1 | 0 | 0 | 1 |
| 1 | 1 | 0 | 1 | 0 |
| 0 | 0 | 1 | 0 | 1 |
| 1 | 0 | 1 | 1 | 0 |
| 0 | 1 | 1 | 1 | 0 |
| 1 | 1 | 1 | 1 | 1 |

由真值表可以写出如下逻辑表达式(这里符号表示“异或”运算)：

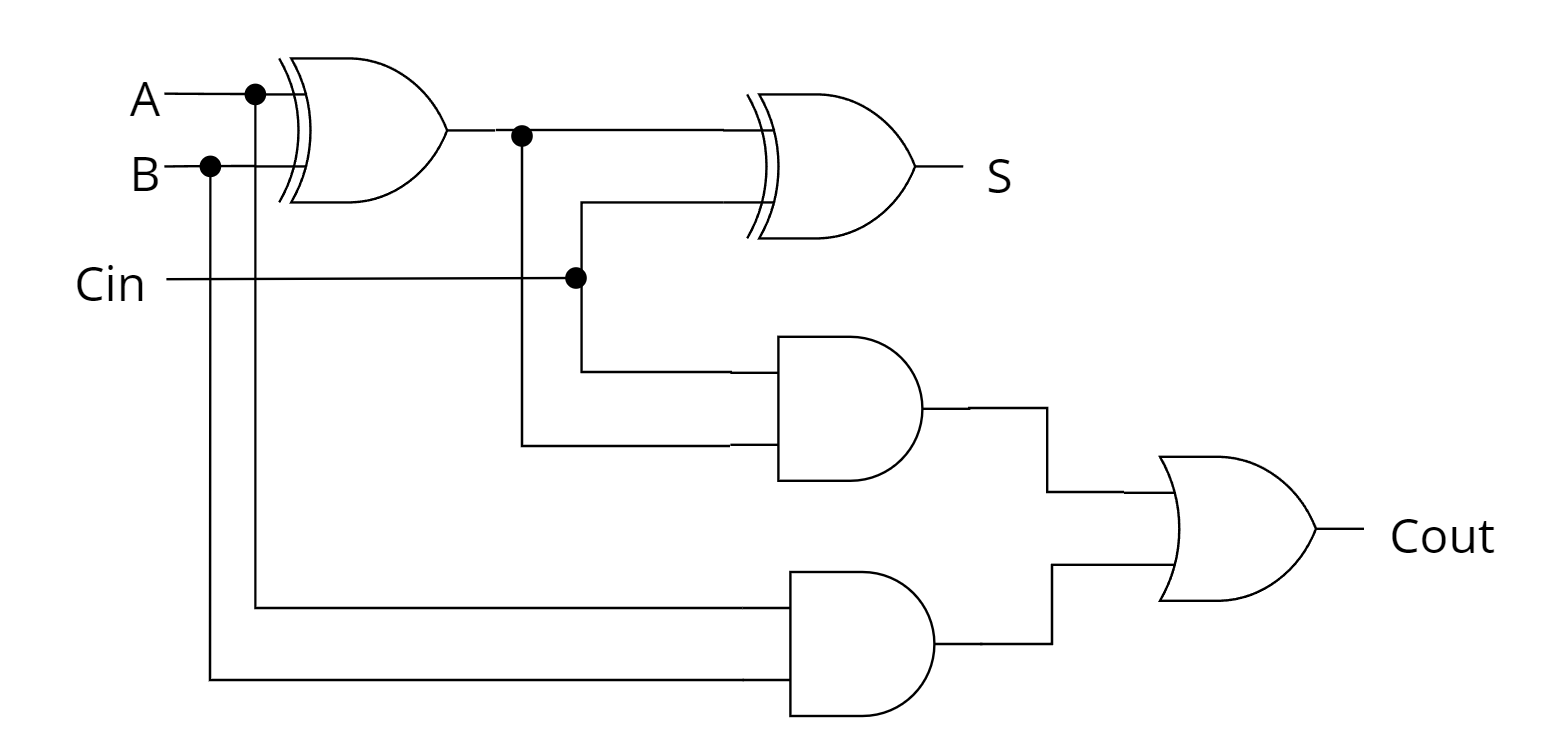


图 12 全加器的符号电路

## 2.4 4bit加法器

首先，我们把上文的一位全加器简化成如下符号：

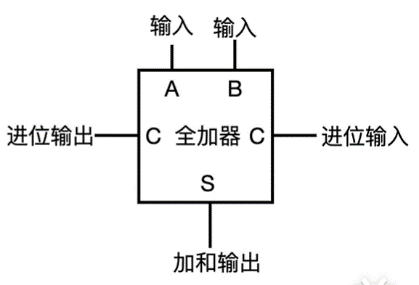


图 13 全加器封装

之后我们将三个全加器串联起来，让前一个全加器的进位输出连到后一个全加器的进位输入，并且第一个全加器与一个半加器串联起来，效果如下：

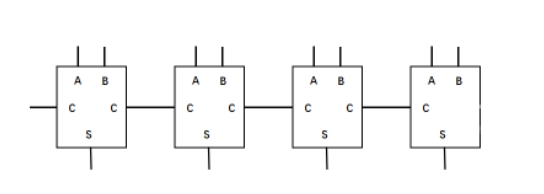


图 14 4bit加法器级联

至此，我们便实现了四位加法器的搭建。

# 3 内容

## 3.1 初版电路搭建

最开始电路搭建全部采用基本的与或非三种逻辑门进行搭建。全电路除三种基本逻辑门外还需用到异或门，采用如图11的方式搭建。

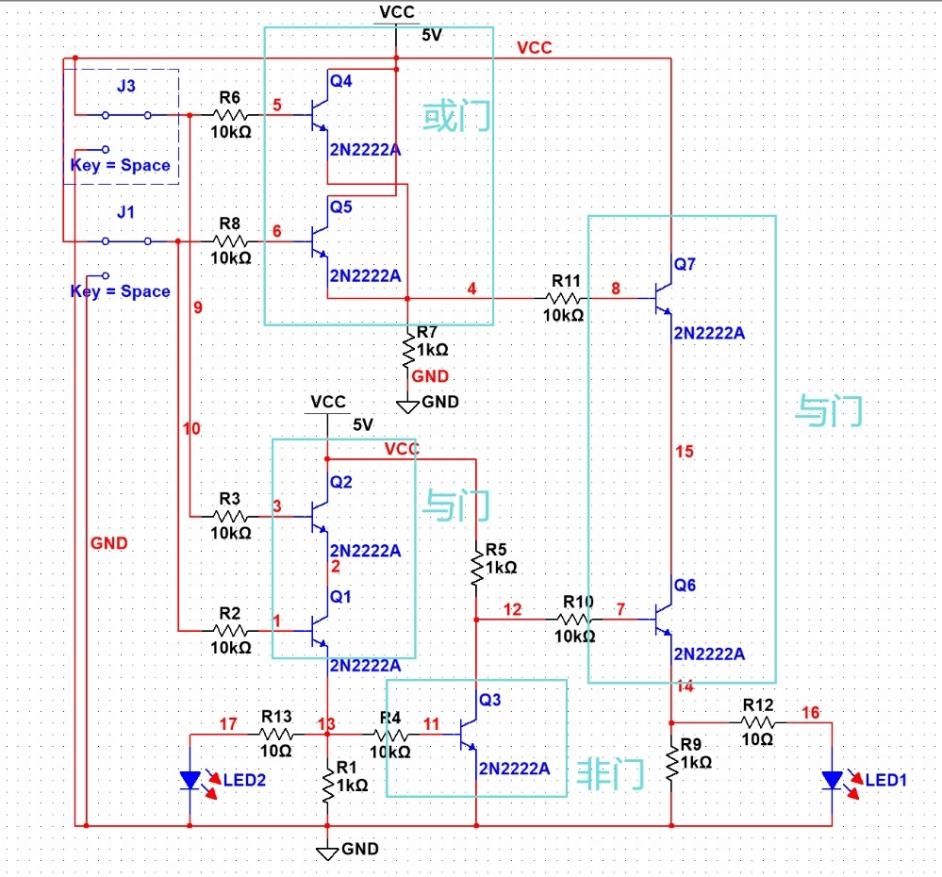


图 15 全部采用基本门搭建的半加器（以三极管为主体标注逻辑门模块）

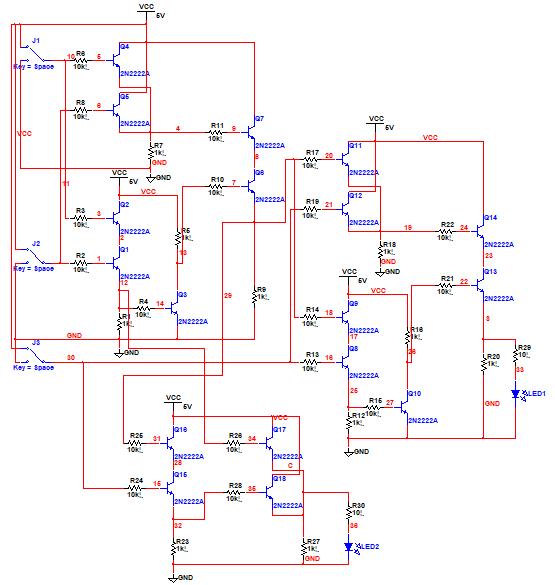


图 16 全部采用基本门搭建的全加器

可以很明显地看到，如果全部采用基本的逻辑门搭建，电路将非常复杂。非门需要一个三极管，而与门和或门则各需要用到两个三极管。而如图11所示，异或门需要三个基本逻辑门搭建。在图15中，计算异或时采用基本结构，需要的三极管数目繁多，电路极其复杂。面包板资源有限，硬件条件上搭建这样的电路难度就很大，实际操作起来更是步骤繁多，容易出错，难以检查。

采用这种电路搭建一个半加器后，除了上述问题我们还发现全部采用基本门搭建的电路电压损失较大，输出的高电平不足5V，一般在3.8V左右。导致电压损失的主要是三极管导通存在饱和压降。电压深度饱和时，发射结正偏，集电结也正偏，此时电子基本填满空穴，电子流动只需要电压能够克服介质内部的一定阻力，克服这部分材料阻力的电压就是三极管集射间的饱和压降，硅管一般在0.3V左右。对于大电压驱动的电路或者理想情况分析，这部分电压一般会忽略不计，但我们的加法器驱动电压只有5V，由于每个三极管饱和压降的存在，这部分损失在经过数个三极管后就会低于临界值，无法导通三极管或不足以点亮LED灯，导致计算结果出错。

我们尝试提高发射极电阻后稍微抬高了高电平，但无法根除此问题。电压损失对本位的计算影响不大，3.8V足够点亮LED灯，但涉及进位部分时，损失的电压不断叠加，到四位运算的后面部分就会存在高低电平无法区分的问题。

## 3.2 初优化思路

1、针对原电路过大、使用的资源过多的问题，我们主要从两方面解决：一是针对与门、或门占用资源大的问题，尝试采用一个三极管表示；二是从逻辑表达式上化简电路。

2、针对原电路存在电压损失的问题，我们受集成电路主要使用与非、或非门启发，猜想使用与非门与非门串联看似复杂化，实际上可能可以减小电压损失。这一思路也在后续测试中得到证明。

## 3.3 初版优化过程

### 3.3.1 化简原电路逻辑表达式



即只用或非门和与门即可搭出异或门，所以整个半加器也只需要或非门和与门即可。

### 3.3.2 设计或非门

我们采取用或非门代替或门的方案，如图17所示。

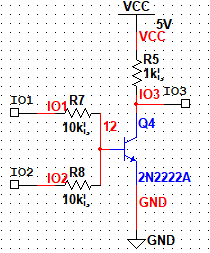


图 17 优化或非门电路

考虑到或非门的真值表特征（只要有一个高电平，输出即为低电平），我们把两个输入同时接进三极管基极，用于表示“或”。同时，这样的电路还解决了电压损失的问题。输入均为低电平时Q1关断，此时的集电极电流很小，压降也很小，基本可以看作断路，输出的高电平就会非常接近5V，几乎没有电压损失。

### 3.3.3 优化与门

考虑到与门是输入全为高电平时输出为高电平，所以把两个输入分别接入三极管的基极和集电极，便可用一个三极管实现与门效果。

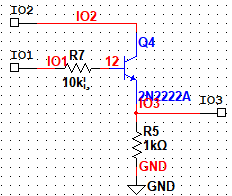


图 18 优化与门电路

### 3.3.4其他优化

在4bit加法器的最后点亮LED部分，实践中发现由于本位输出的驱动能力低，虽有高电平但电流过小而无法点亮LED。所以我们在输出部分的每一位增加了一个三极管作驱动电路，实现电流放大，进而点亮LED灯。

## 3.4 优化后的终版电路

### 3.4.1 半加器

使用两个或非门和与门实现异或，与门的结果同时是半加器的进位输出。

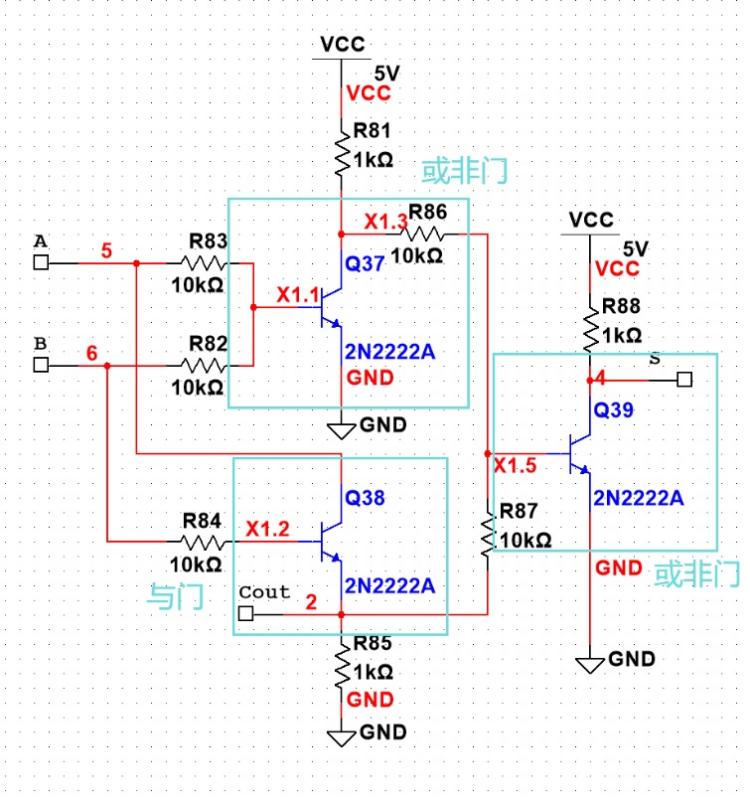


图 19 半加器

### 3.4.2 全加器

全加器的本位可以看作是输入A和B的半加器的本位与前一位进位的输入做半加的本位；全加器的进位则是两个半加的进位做或运算。所以采用两个半加器级联，再用一个优化后的或非门和非门组成或门，既减少了资源消耗，又减小了电压损失。

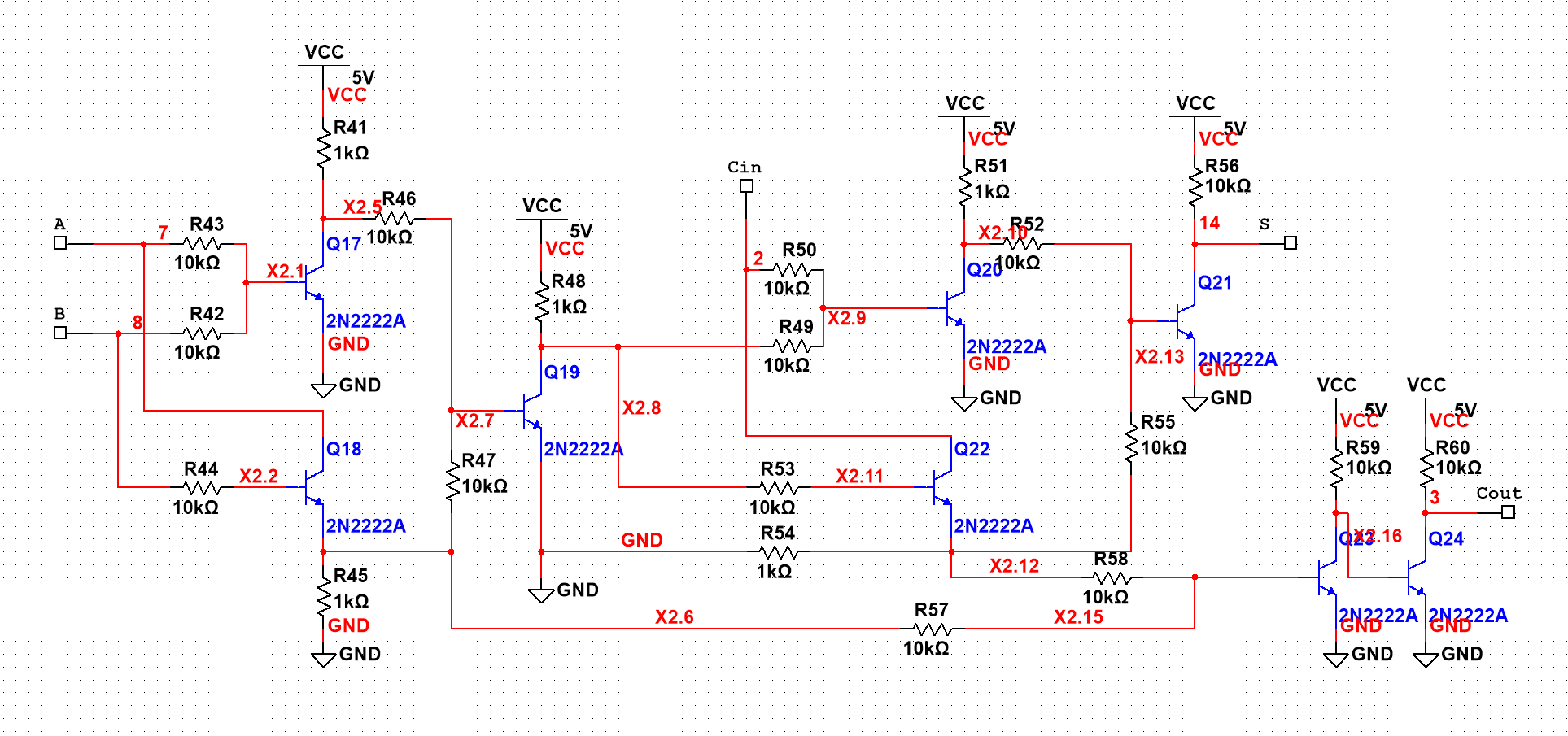


图 20 全加器

### 3.4.3 4bit加法器

最后将三个全加器和一个半加器进行级联就可以得到所需的4bit加法器。输出部分增加了三极管驱动电路以放大本位的输出电流。

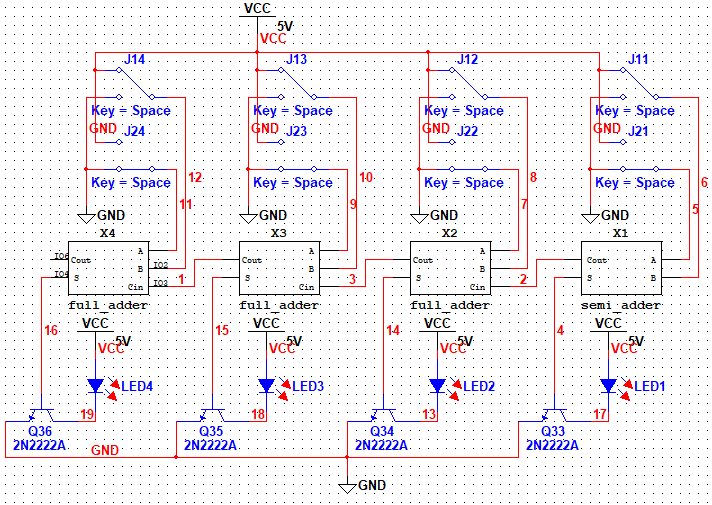


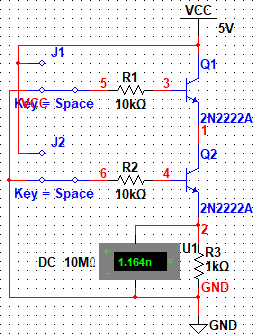
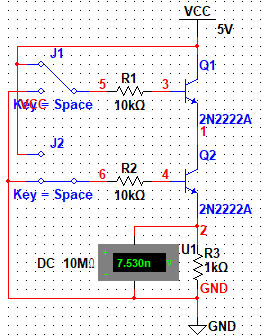
图 21 4bit加法器

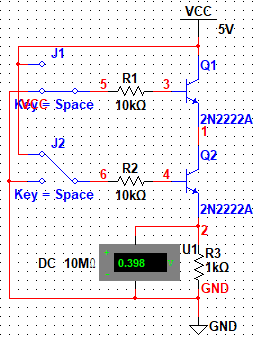
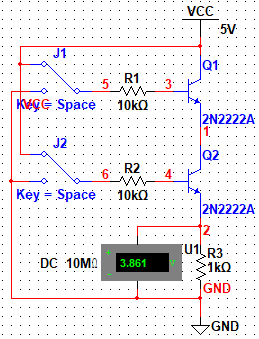
# 4 结果和分析

## 4.1 仿真电路测试结果

### 4.1.1改进前电路测试结果

1. **基本与门**

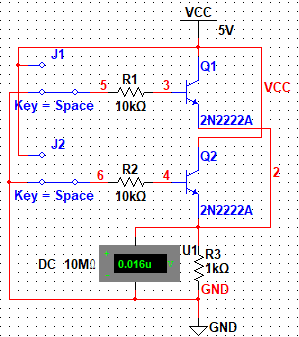
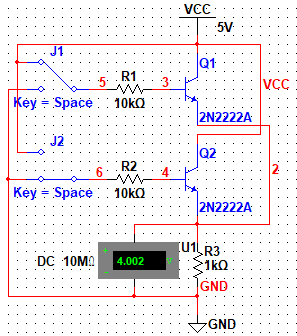
|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| 输入A / V | 0 | 5 | 0 | 5 |
| 输入B / V | 0 | 0 | 5 | 5 |
| 输出C / V | 1.164n | 1.530n | 0.398 | 3.861 |

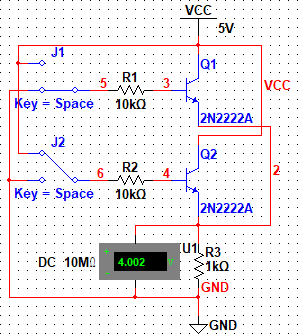
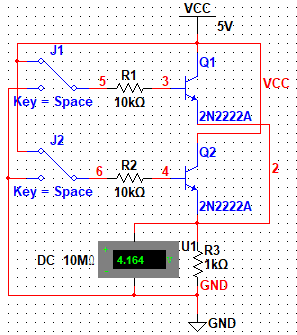
分析基本与门的真值表我们发现：当两个输入中有一个是0时，与门都能输出较为准确的低电平；但是当两输入都是高电平时，输出却产生了“电压损失”，仅为3.861V。

产生这个问题的主要原因是：当两个输入都是高电平时，两个三极管都处于导通状态，理想状态下可以把输出拉高至电源电压5V，但是实际的三极管在导通时存在一定的集射压降，即集射间不能等效为导线，这时输出并不会达到5V，而是在5V基础上减去了两个三极管的集射压降，即所谓了“电压损失”。

这样的与门应用到实际电路中会产生很多的问题，我们经过实践发现也确实如此。因此，这也是我们后续优化工作的主要出发点之一。

1. **基本或门**

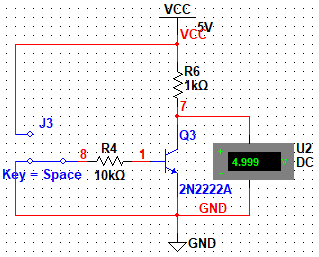
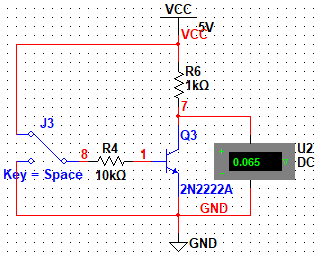
 

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| 输入A / V | 0 | 5 | 0 | 5 |
| 输入B / V | 0 | 0 | 5 | 5 |
| 输出C / V | 0.016u | 4.002 | 4.002 | 4.164 |

分析真值表发现，同与门类似，基本或门也存在“电压损失”问题，输出的高电平只有4V左右。同时我们发现，与门能够输出的高电平更为接近5V，这是因为两个三极管并联，损失的电压只有一个三极管的集射压降，而与门中是两个集射压降之和。

1. **基本非门**

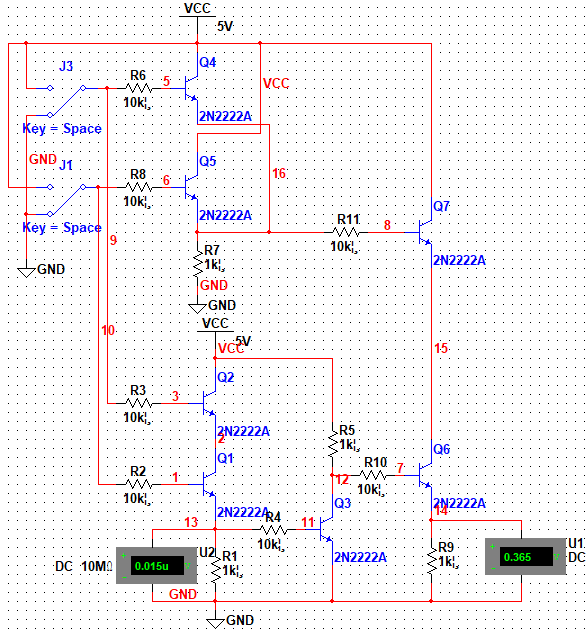
 

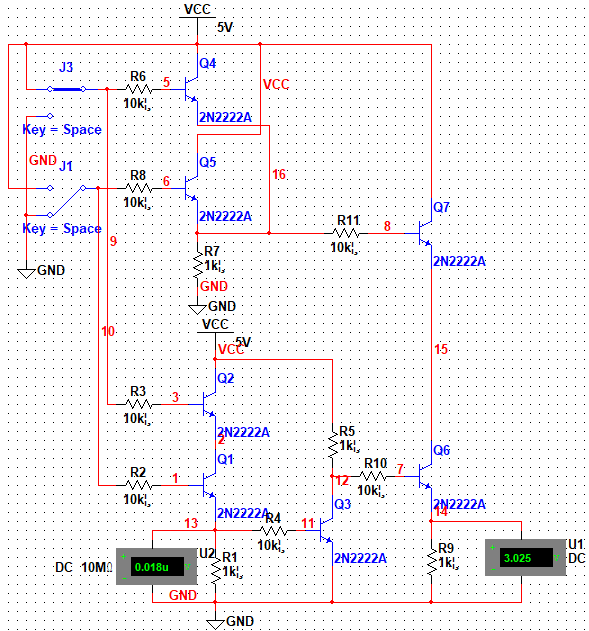
|  |  |  |
| --- | --- | --- |
| 输入A / V | 0 | 5 |
| 输出B / V | 4.999 | 0.065 |

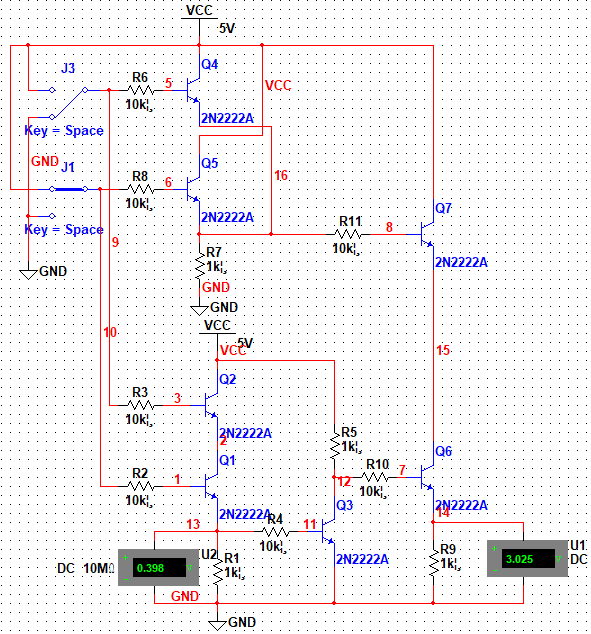
可以看到，非门的输出电压最为接近理想状态，输出的高电平可以认为就是电源电压5V。这是因为非门在三极管关断时输出高电平，而三极管截止时的集射电流非常小，因而在集电极电阻上产生的压降也会非常小，输出便非常接近5V。

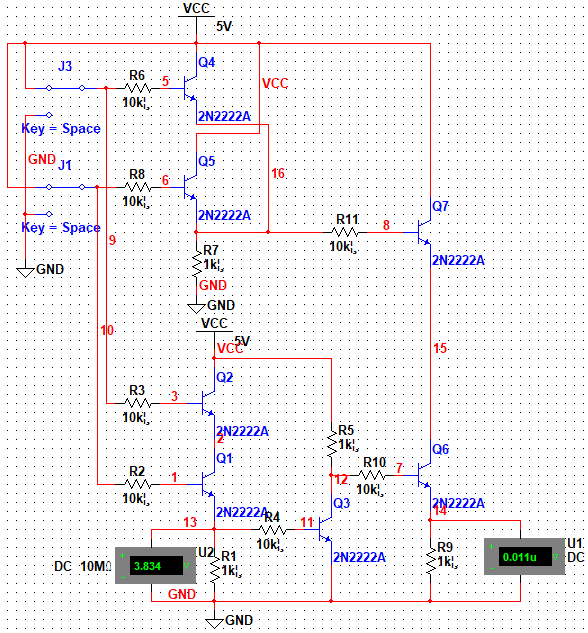
也正是受到非门的启发，我们想到如果用与非门代替与门，用或非门代替或门，也许会很好地克服输出高电平受损的问题。后续实践表明，这种思路是十分有效的。

1. **改进前的半加器**









|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| 输入A / V | 0 | 5 | 0 | 5 |
| 输入B / V | 0 | 0 | 5 | 5 |
| 本位输出S / V | 0.365 | 3.025 | 3.025 | 0.011u |
| 进位输出C / V | 0.015u | 0.018u | 0.398 | 3.834 |

分析改进前半加器的输出情况发现：由于本位输出其实就是异或门的输出，而这时我们的异或门输出端是一个与门，所以本位输出的电压会极大地低于5V，仅为3V左右。假如用这样的电压来点亮二极管，其发光可能较为微弱。进位输出本质是两个输入的与运算，因而高电平也只有3.8V左右。

另外，这样的一个半加器电路需要7个三极管，在此基础上改造出的全加器至少需要14个三极管，实际接线时将会非常繁琐，且排查电路错误将变得十分困难。

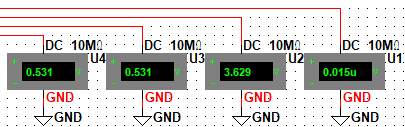
1. **改进前的全加器**

由于未改进的全加器电路过于庞大，这里不再给出截图，而是以表格形式呈现仿真结果。

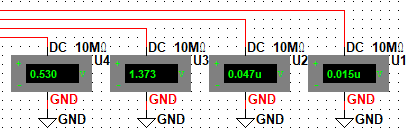
|  |  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- | --- |
| *I1* / V | 0 | 1 | 0 | 1 | 0 | 1 | 0 | 1 |
| *I2* / V | 0 | 0 | 1 | 1 | 0 | 0 | 1 | 1 |
| *Cin* / V | 0 | 0 | 0 | 0 | 1 | 1 | 1 | 1 |
| *S* / V | 0.365 | 1.449 | 1.449 | 0.365 | 3.025 | 0.023u | 0.023u | 3.024 |
| *Cout* / V | 0.016u | 0.016u | 0.372m | 2.947 | 0.372m | 1.428 | 1.428 | 2.946 |

分析上表最后一行发现，由于全加器使用了更多的与门和或门，“电压损失”产生了积累，在某些输入下输出的高电平已经低至1.5V左右，最高也仅为3V左右。如果把这样的加法器级联起来，进位信息在向后传递的过程中会逐级衰减，到最高位时可以已经完全受损，高低电平无法区分，运算就会出错。

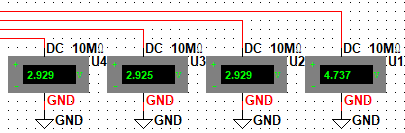
1. **改进前的4比特加法器**



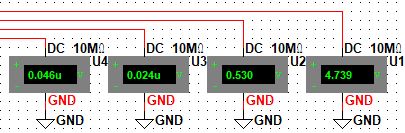
0001+0001



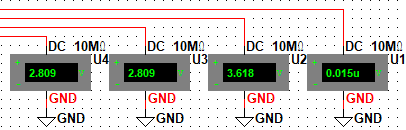
0011+0001



1010+0101



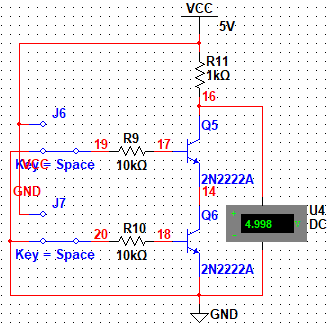
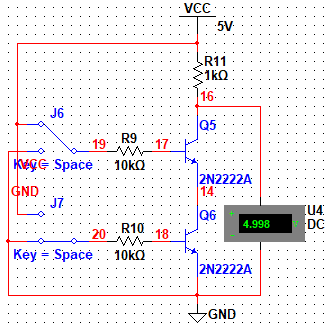
1011+0110

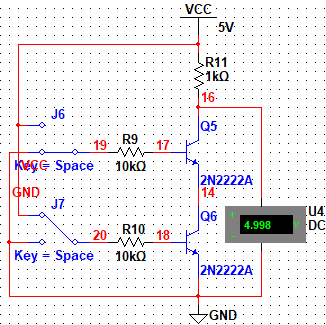
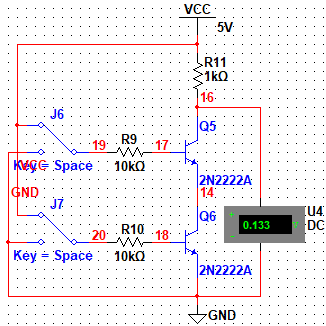


1111+1111

### 4.1.2改进后电路测试结果

1. **优化的与非门**

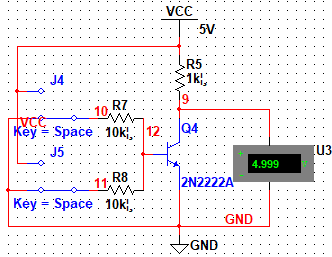
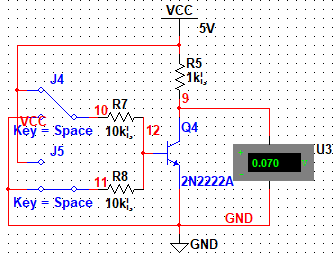
 

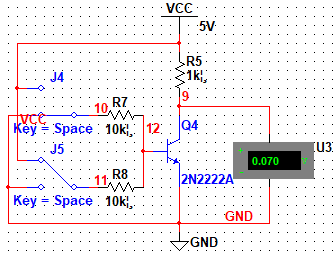
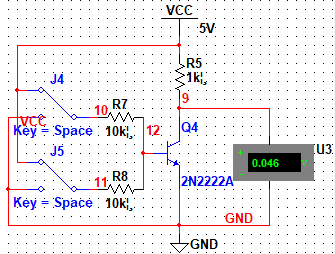
|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| 输入A / V | 0 | 5 | 0 | 5 |
| 输入B / V | 0 | 0 | 5 | 5 |
| 输出C / V | 4.998 | 4.998 | 4.998 | 0.133 |

可见，与非门输出的高电平基本没有压降，十分接近5V；尽管输出的低电平由于集射压降的存在而出现了些许的抬升，但是也仅仅为0.133V，对于低电平的识别没有任何的影响。

为了获得改进的与门，是需要在与非门后串接一个非门即可。

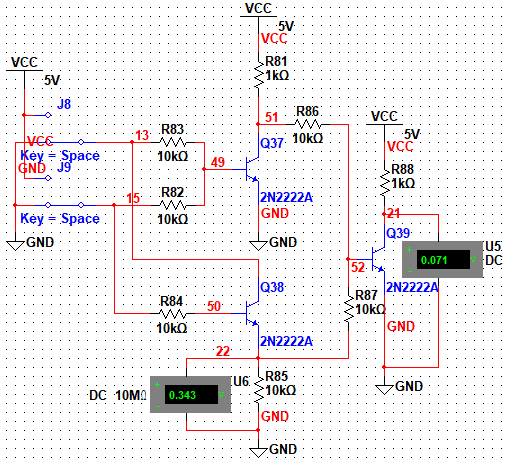
1. **优化的或非门**

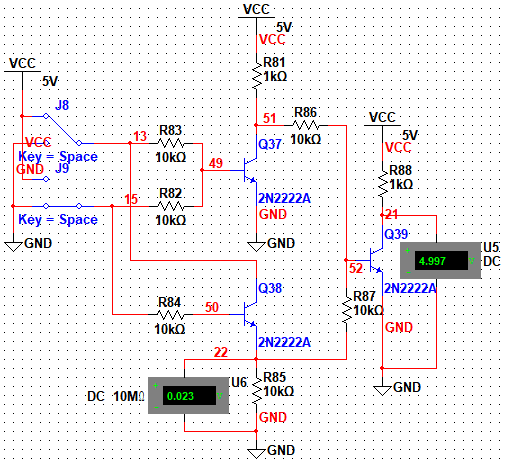
 

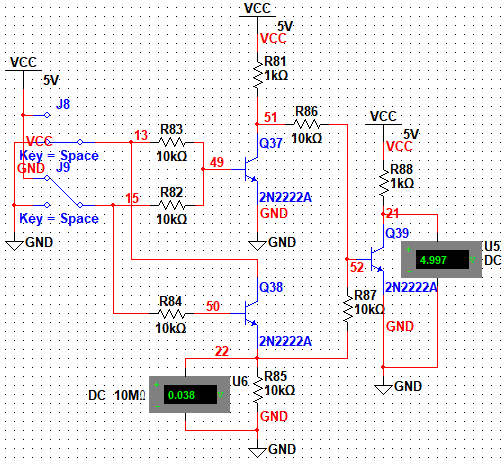
 

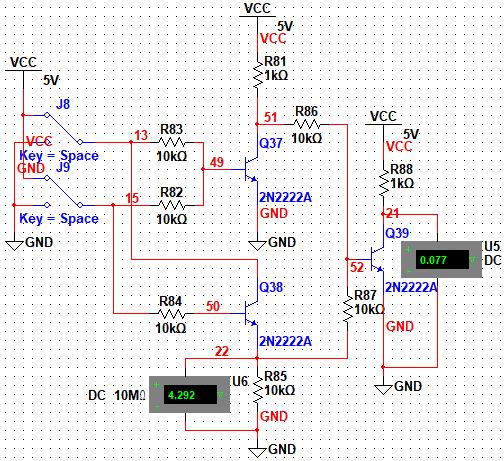
|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| 输入A / V | 0 | 5 | 0 | 5 |
| 输入B / V | 0 | 0 | 5 | 5 |
| 输出C / V | 4.999 | 0.070 | 0.070 | 0.046 |

1. **优化的半加器**



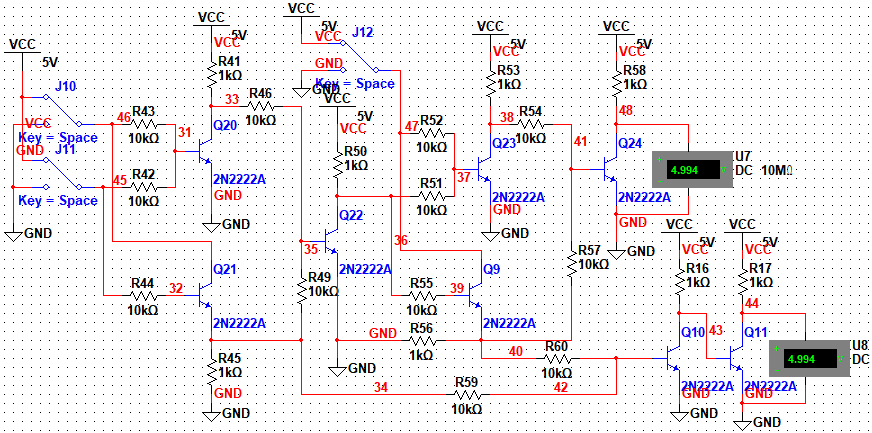






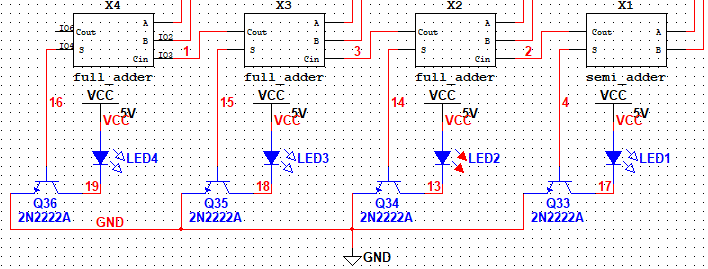
|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| 输入A / V | 0 | 5 | 0 | 5 |
| 输入B / V | 0 | 0 | 5 | 5 |
| 本位输出S / V | 0.071 | 4.997 | 4.997 | 0.077 |
| 进位输出C / V | 0.343 | 0.023 | 0.038 | 4.292 |

1. **优化的全加器**

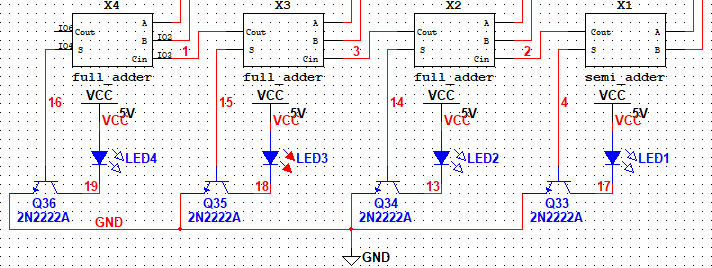


|  |  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- | --- |
| *I1* / V | 0 | 1 | 0 | 1 | 0 | 1 | 0 | 1 |
| *I2* / V | 0 | 0 | 1 | 1 | 0 | 0 | 1 | 1 |
| *Cin* / V | 0 | 0 | 0 | 0 | 1 | 1 | 1 | 1 |
| *S* / V | 0.073 | 4.991 | 4.991 | 0.073 | 4.991 | 0.086 | 0.081 | 4.994 |
| *Cout* / V | 0.013 | 0.013 | 0.013 | 4.991 | 0.013 | 4.991 | 4.991 | 4.994 |

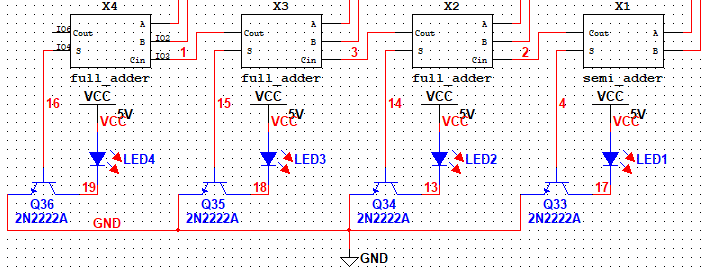
1. **优化的4比特加法器**



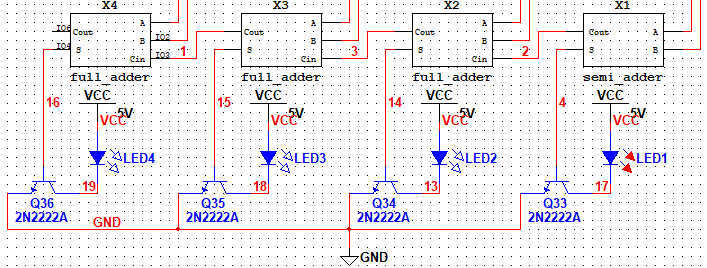
0001+0001



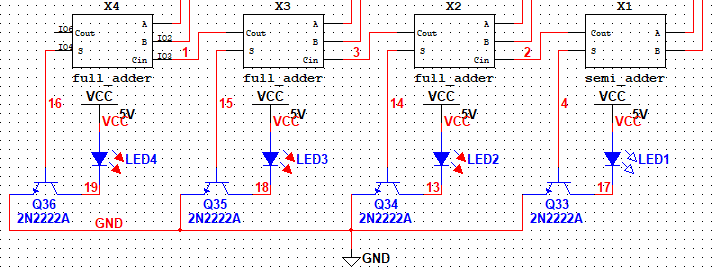
0011+0001



1010+0101



1011+0110

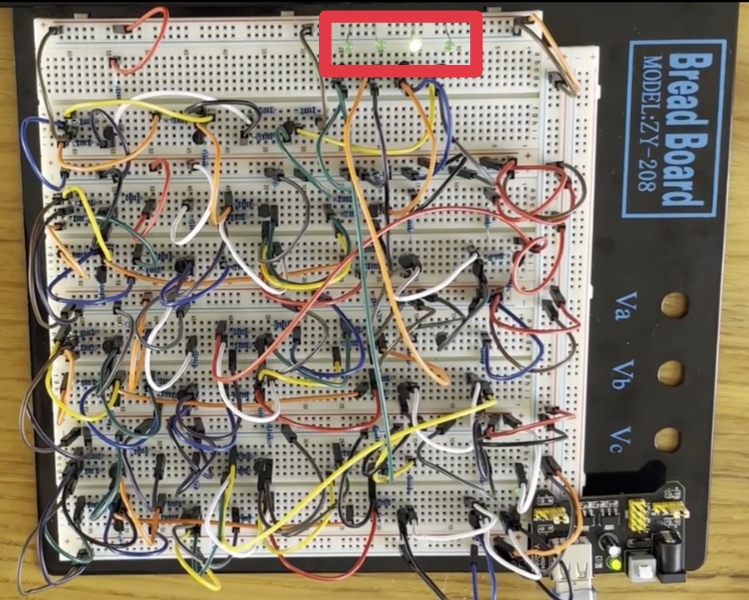


1111+1111

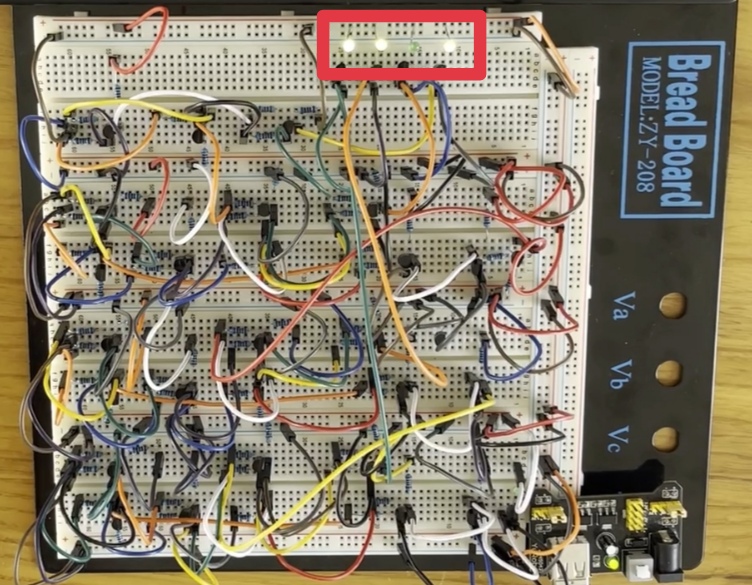
|  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- |
| 加数A | | 0001 ( 1 ) | 0011 ( 3 ) | 1010 ( 10 ) | 1011 ( 11 ) | 1111 (15 ) |
| 加数B | | 0001 ( 1 ) | 0001 ( 1 ) | 0101 ( 5 ) | 0110 ( 6 ) | 1111 ( 15 ) |
| 各位电平 | 第0位 / V | 0.081 | 0.085 | 4.976 | 4.976 | 0.081 |
| 第1位 / V | 4.976 | 0.085 | 4.976 | 0.073 | 4.976 |
| 第2位 / V | 0.073 | 4.976 | 4.976 | 0.120 | 4.976 |
| 第3位 / V | 0.073 | 0.073 | 4.976 | 0.120 | 4.976 |
| 结果 | | 0010 ( 2 ) | 0100 ( 4 ) | 1111 ( 15 ) | 0001 ( 17 ) | 1110 ( 30 ) |

可以看到，最终电路工作正常，运算结果正确无误，且输出的本位电平高低区分明显，高电平全部在4.9V以上，低电平不会超过0.2V，且进位信息并不会随着级联层数的增多而衰减，保证了运算结果的正确性以及电路的可扩展性。

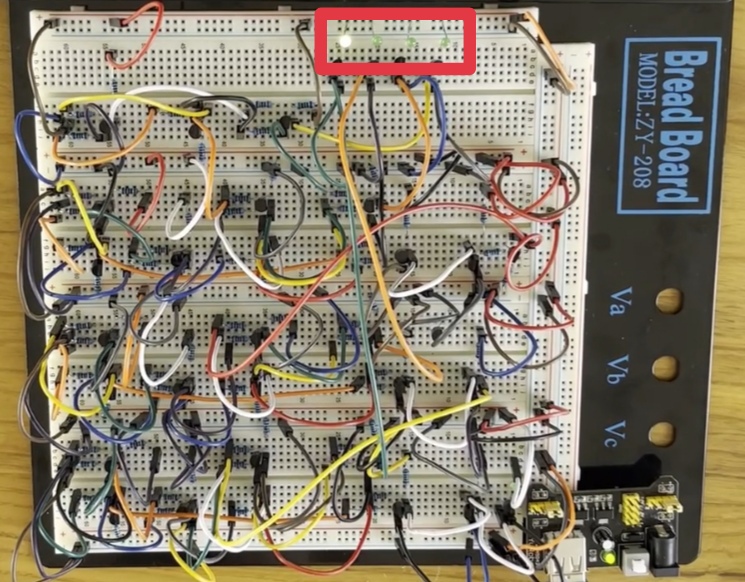
## 4.2 实物电路测试结果



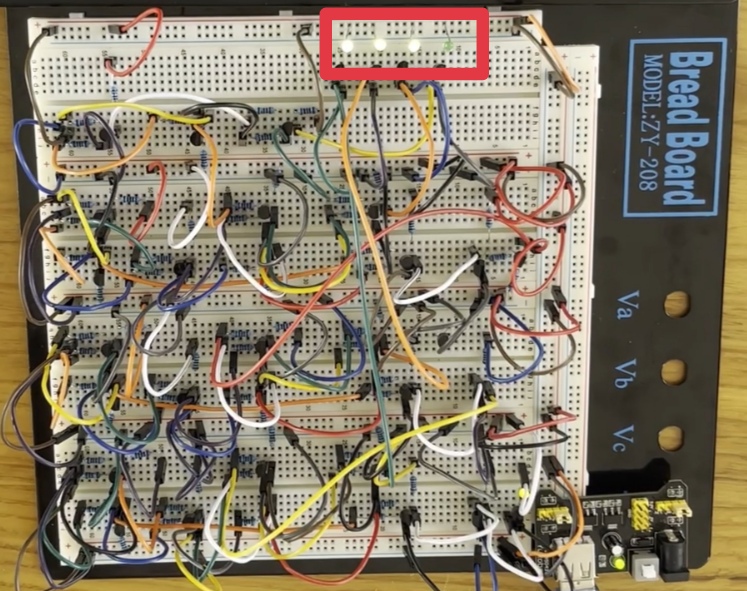
0001+0001



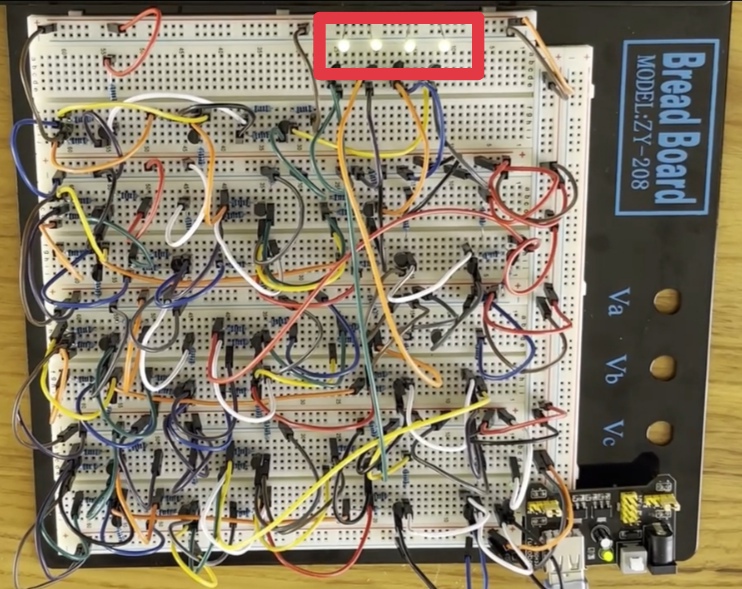
0010+1011



0101+0011



1111+1111



0101+1010

由上图可以看出，我们的硬件电路布线合理，走线美观。

经过测试，搭建的4比特加法器全电路功能正常，工作稳定，对于给出的测试用例都能得到正确的计算结果。且高低电平区分明显，二极管亮度较大。

# 5 结论

## 5.1 实验结论

（1）通过半加器和全加器的真值表，可以写出二者的逻辑表达式，对该表达式进行化简后可以通过与门、或门和非门三种基本逻辑门来实现相应的功能。其中，半加器的本位输出是两个输入的异或运算结果，进位输出是输入的与运算结果；全加器的本位输出是三个输入的异或运算结果，进位输出可以通过两个与门和一个或门得到。异或门的实现是问题的关键一点，该门可以通过一个与门、一个或门以及一个与非门实现。

（2）上述的做法仅在理论层面可行，这是因为实际的三极管在导通时具有集射压降，在关断时又具有微弱的发射级电流，导致基本逻辑门的输出并非完美的高电平或低电平。解决该问题的一个有效手段是使用与非门代替与门，使用或非门代替或门，这种方式下得到的高电平基本就是电源电压，而低电平又不会抬升多少。

（3）采用另一种异或门的实现手段可以大大地简化电路，即，只需要两个或非门和一个与门即可实现异或。

（4）对于二极管的点亮问题，如果直接用本位输出的高电平来点亮二极管，往往难以获得期望的亮度。此时可以采用三极管驱动电路，即对本位输出的驱动电流进行放大，可以获得理想的二极管亮度。

## 5.2 心得体会

通过本次课程设计的实践，我收获颇丰，具体总结如下：

首先，在设计半加器和全加器的电路时，我对理论课上所学习的有关于晶体管工作性质、数字电路功能设计、逻辑表达式归纳与化简等的内容有了更深层次的理解。我之前所学仅仅停留在理论知识的层面，对于实际电路的设计流程、调试与优化、故障排查等缺乏经验。而本次课程设计则让我通过亲自参与到电路设计的各个流程来加深对于理论知识的掌握程度。

其次，在调试与优化的过程中，我遇到了很多意想不到的困难与障碍，在解决这些问题的过程终我也学习到了许多之前在课堂上难以学到的东西。在仿真阶段，我根据加法器的逻辑表达式很容易地就设计出了初版的电路，认为只要使用基本门电路将表达式中的各个逻辑关系搭建起来就不会有任何问题。但是将这份仿真电路付诸实践后却问题频出——其一是输出的高电平极低，其二是面包板空间不够，其三是二极管无法被点亮。仿真明明正常，但实物电路却不行，这让我十分的困惑。在不断地调试、摸索与思考的过程中我逐渐认清了问题所在，原来是实际晶体管的集射压降导致，对此我们又改进优化了电路，并且通过逻辑表达式的变形与整理，对电路进行了相当程度的化简，为二级管添加了驱动电路，最终问题得以解决。

最后，本次课程设计很好地锻炼了我面对问题、分析问题、解决问题的勇气和能力。在实物电路的搭建过程中，总是遇到各种各样意想不到的问题，面对着面包板上错综复杂的走线和数不清的元件，很容易变得烦躁不安，一面急于找到问题所在，一面又心烦意乱、毫无头绪，但是往往越是如此，越是找不到症结。因此只能沉下心来，理性地分析各个部分的功能和它的工作状况，逐个模块地调试与排查。这个过程将会极大地锻炼解决问题能力。

在本次课程设计中，我对半加器、全加器和加法器的概念有了更深的理解，了解、学习了一种基本电路的优化思路。

首先是利用三极管搭建逻辑门，在理解逻辑门的输入输出特性后直接搭出的基本门电路可以实现目标，但存在资源浪费、电压损失等等问题。受集成电路启发，可以采用与非门等化简电路，再以此为思路修改化简逻辑表达式，进行搭建。同时，两个输入时间的关系也不必局限于三极管的基极。在与门的优化中将两个输入分别接入三极管的基极和集电极的优化方案给我很大的启发。在这一过程中，我对电路以三极管为中心进行功能分析，对加法器的思路也有了更深的理解。

在分析电压损失的过程中，我查阅了相关资料，对PN结、三极管的材料特性也有所了解，与之前学习的MOSFET相互联系，更加理解了晶体管的导通特性。

在电路实际调试中，因为时间冲突未能每次参与，我感到非常遗憾。在协助电路搭建的过程中，我学习到了电路布局排版的一些基本思路、方法，能够使一个复杂的电路看起来更加整洁、功能清晰。良好的布局是后续调试顺利的基础之一。当遇到测试结果与预期不符时，可以通过万用表测量中间节点的电平，以判断电路的哪一部分出现了问题，我认为这是对程序调试思想的一种简单拓展，也取得了比较好的效果。

总体而言，作为大二学生学习这门课程，虽然“导论”的性质减少了，但帮助我串联了这一年半里学到的综合知识，在已有基础上让我理清了这个专业的课程脉络。在本次课程设计中，也考验了我分析、解决问题的综合能力。组里的学长给我们的课程设计提供了很大的帮助，我从他身上也学到了很多。经过这次的课程设计实验，我不但对理论知识有了更加深的理解，实际的调试也有了提高。在未来的学习生活中，这些能力将会对我的课程和实践有很大的帮助。